

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-181453

(43)Date of publication of application : 12.07.1996

(51)Int.CI.

H05K 3/46
H01G 4/12
H01L 21/60
H05K 1/03
H05K 1/16

(21)Application number : 06-320258

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.12.1994

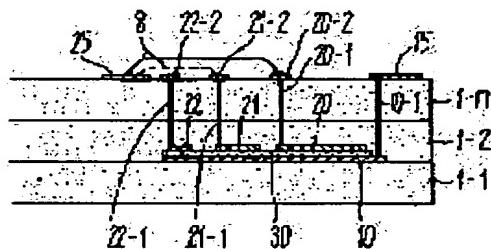
(72)Inventor : MISHIRO EIJI
TAKADA MICHIAKI
ABE MITSUNORI
NAKAJIMA NANA

(54) CAPACITOR CONTAINING CIRCUIT BOARD

(57)Abstract:

PURPOSE: To obtain a containing capacitor having small capacity deviation near the capacity expected at the time of designing by forming a main electrode having smaller area than that of a lower electrode and a plurality of sub-electrodes having sequentially smaller areas than that of the main electrode at a predetermined ratio corresponding to the lower electrode of the upper surface of a laminated circuit board.

CONSTITUTION: A second ceramic sheet 1-2 is laminated on the upper surface of a first ceramic sheet 1-1 and an uppermost layer ceramic sheet 1-n is laminated on the upper surface of the sheet 1-2. A lower electrode 10 of the size of twice as large as the electrode 20 is formed at a predetermined position on the upper surface of the first sheet 1-1. The area of the first sub-electrode 21 formed on the half surface of a dielectric layer 30 is 40% of the electrode 20, the area of a second sub-electrode 22 is 30% of the electrode 20, the area of a third sub-electrode is 20% of the electrode 20, and the area of a fourth sub-electrode is 10% of the electrode 20. On the other hand, the pattern 15 corresponding to the lower electrode formed on the upper surface of the sheet 1-n of the uppermost layer and the lower electrode 10 are connected through a via.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-181453

(43)公開日 平成8年(1996)7月12日

(51)Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 05 K 3/46		Q 6921-4E		
		H 6921-4E		
H 01 G 4/12	3 9 1			
H 01 L 21/60	3 0 1 A			
H 05 K 1/03	6 1 0 D	7511-4E		

審査請求 未請求 請求項の数6 OL (全10頁) 最終頁に続く

(21)出願番号	特願平6-320258	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成6年(1994)12月22日	(72)発明者	三代 英治 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	高田 理映 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 井桁 貞一
			最終頁に続く

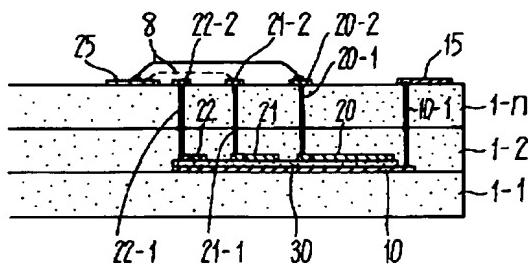
(54)【発明の名称】 コンデンサ内蔵配線板

(57)【要約】

【目的】 コンデンサをセラミック積層配線基板内に設けたコンデンサ内蔵配線板に関し、容量偏差が小さい内蔵コンデンサを備えたコンデンサ内蔵配線板を提供する。

【構成】 第1のセラミックシート1-1の上面に形成された下部電極10と、下部電極10の上面に形成された誘電体層30と、誘電体層30の上面に形成された主電極20と、誘電体層30の上面に主電極20に並列して形成された面積が一定比率で順次小さい複数の副電極と、最上層のセラミックシートの上面に形成された下部電極対応パターン15、主電極対応パット、複数の副電極対応パッドと、最上層のセラミックシート1-nの上面に形成された上部電極対応パターン25とを備え、上部電極対応パターン25は主電極対応パット及び副電極対応パッドの中から選択された1つ又は複数のパットにポンディングワイヤ8を介して接続されるものとする。

本発明の原理を示す図



- 1-1 第1のセラミックシート
1-2 第2のセラミックシート
1-n 最上層のセラミックシート
10 下部電極
20 主電極
21 第1の副電極
22 第2の副電極
8 ポンディングワイヤ
30 誘電体層

【特許請求の範囲】

【請求項 1】 セラミック積層配線基板の第1のセラミックシートの上面に形成された下部電極と、該下部電極の上面に形成された誘電体層と、該誘電体層の上面に形成された、面積が該下部電極の面積よりも小さい主電極と、該誘電体層の上面に該主電極に並列して形成された、面積が該主電極の面積よりも一定比率で順次小さい複数の副電極と、該セラミック積層配線基板の最上層のセラミックシートの上面に形成された、ビアを介して該下部電極に接続されてなる下部電極対応パターンと、該最上層のセラミックシートの上面に形成された、ビアを介して該主電極に接続されてなる主電極対応パッドと、該最上層のセラミックシートの上面に配列形成された、ビアを介してそれぞれの該副電極に接続されてなる複数の副電極対応パッドと、該最上層のセラミックシートの上面に形成された上部電極対応パターンとを備え、該上部電極対応パターンは、該主電極対応パッド及び副電極対応パッドの中から選択した1つ又は複数のパッドに、ボンディングワイヤを介して接続されるものであることを特徴とするコンデンサ内蔵配線板。

【請求項 2】 前記誘電体層が、セラミックシートの誘電率よりも高い誘電率の誘電体材料からなることを特徴とするコンデンサ内蔵配線板。

【請求項 3】 請求項2記載の誘電体層が、膜厚の異なる第1の誘電体層と第2の誘電体層とに分離されたものであり、

該第1の誘電体層の上面に主電極が形成され、該第2の誘電体層の上面に、面積が該主電極の面積よりも一定比率で順次小さい複数の副電極が並列して形成されたことを特徴とするコンデンサ内蔵配線板。

【請求項 4】 請求項2記載の誘電体層が、誘電率が異なる第1の誘電体層と第2の誘電体層とに分離されたものであり、

該第1の誘電体層の上面に主電極が形成され、該第2の誘電体層の上面に、面積が該主電極の面積よりも一定比率で順次小さい複数の副電極が並列して形成されたことを特徴とするコンデンサ内蔵配線板。

【請求項 5】 請求項1記載の下部電極の上面に誘電体層が無く、前記主電極及び該主電極の面積よりも一定比率で順次小さい複数の副電極が、セラミック積層配線基板の第2のセラミックシートの上面に形成されたものであることを特徴とするコンデンサ内蔵配線板。

【請求項 6】 前記第1のセラミックシートの上面又は誘電体層30の上面に形成された複数の主電極と、それぞれの該主電極に対向して、該誘電体層の上面又は該第1のセラミックシートの上面に形成された、面積が

一定比率で順次小さい複数の副電極と、

セラミック積層配線基板の最上層のセラミックシートの上面に形成された、ビアを介してそれぞれの該主電極に接続されてなる複数の主電極対応パターン20-2A, 20-2Bと、

該最上層のセラミックシートの上面に配列形成された、ビアを介してそれぞれの該副電極に接続されてなる複数の副電極対応パッドと、

該最上層のセラミックシートの上面に形成された複数の副電極対応パターン25A, 25Bとを備え、

該副電極対応パターン25A, 25Bは、副電極対応パッドの中から選択した1つ又は複数のパッドに、ボンディングワイヤを介して接続されるものであることを特徴とするコンデンサ内蔵配線板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、コンデンサをセラミック積層配線基板内に設けたコンデンサ内蔵配線板に関する。

【0002】複数のセラミックシートを積層して構成された配線板は、表面に半導体部品等の部品を表面実装し、内層に大容量のコンデンサを容易に設けることができる、近年その需要が増加している。

【0003】

【従来の技術】図7は従来のコンデンサ内蔵配線板の断面図、図8は他の従来例の図で、(A)は断面図、(B)はコンデンサの平面図である。

【0004】コンデンサ内蔵配線板を構成するセラミック積層配線基板は、第1のセラミックシート1-1の上面に第2のセラミックシート1-2を積層し、第2のセラミックシート1-2の上面に第3のセラミックシート1-3を積層する等して設けた、多層構造の配線板である。

【0005】それぞれのセラミックシートの材料は、例えばアルミナとガラスとをほぼ等量に混合したものである。図7において、3-1は、第1のセラミックシート1-1の上面の所定の位置に形成した、Ag、Ag-Pd、Au等の厚膜からなる下部電極である。

【0006】3-2は、下部電極3-1に対向して、第2のセラミックシート1-2の上面に形成した上部電極である。上部電極3-2の形状は下部電極3-1と同形状である。また、第1のセラミックシート1-1の裏面に設けたパッド7-1と下部電極3-1とを、第1のセラミックシート1-1を貫通するビア6-1を介して接続し、第3のセラミックシート1-3の表面に設けたパッド7-2と上部電極3-2とを、第3のセラミックシート1-3を貫通するビア6-2を介して接続している。

【0007】このようなコンデンサの容量Cは、 $C = \epsilon_s \times \epsilon_r \times S / d$ である。

ϵ_s ……セラミックシートの比誘電率

ϵ_r ……真空の誘電率

S ……上部電極の面積

d ……セラミックシートの厚

上述のように、セラミック積層配線基板を構成するセラミックシートを、誘電体として採用し、その上下の面に電極を設けたコンデンサは、一般にグリーンシート型コンデンサと呼ばれる。

【0008】セラミックシートの厚さを $100\text{ }\mu\text{m}$ ～数百 μm とすると、セラミックシートの比誘電率は大凡5～10であるので、グリーンシート型コンデンサの電極が1mm角の容量は、 1 pF ～ 100 pF となる。

【0009】図8に示すコンデンサは誘電体層印刷型コンデンサと呼ばれるものである。図8において、4-1は第1のセラミックシート1-1の上面の所定の位置に形成した、Ag、Ag・Pd、Au等の厚膜からなる下部電極である。

【0010】5は、下部電極4-1の上面のほぼ全面を覆うように形成した、高誘電率の誘電体材料（例えば TiO_2 系セラミックス、 BaTiO_3 系セラミックス）の厚膜からなる誘電体層である。

【0011】4-2は、誘電体層5の上面のほぼ全面を覆うように形成した、Ag、Ag・Pd、Au等の厚膜からなる上部電極である。第1のセラミックシート1-1の裏面に設けたパッド7-1と下部電極4-1とを、第1のセラミックシート1-1を貫通するビア6-1を介して接続し、第3のセラミックシート1-3の表面に設けたパッド7-2と上部電極4-2とを、第2のセラミックシート1-2及び第3のセラミックシート1-3を貫通するビア6-2を介して接続している。

【0012】誘電体層の厚さを $30\text{ }\mu\text{m}$ ～ $100\text{ }\mu\text{m}$ にすると、誘電体層は、比誘電率が100～100,000のものがあるので、誘電体層印刷型コンデンサの電極が1mm角の容量は 100 pF ～ 100 nF と大きくなる。

【0013】次に、上述の誘電体層印刷型コンデンサの製造方法を、図9を参照しながら説明する。アルミナとガラスとをほぼ等量に混合しバインダーを加え、シート状にした大きい角形のグリーンシートをステップAで所定の寸法にカットする。

【0014】ステップBで、グリーンシートの所定の個所にビア孔（直径は $100\text{ }\mu\text{m}$ ～ $200\text{ }\mu\text{m}$ ）をパンチして穿孔する。ステップCで、ビア孔にAg、Ag・Pd、Au等のペースト状導体を充填し、その後グリーンシートを約80℃に加熱して乾燥する。

【0015】ステップDで、グリーンシートの上面の所定の位置に、欲する形状、面積のAg、Ag・Pd、Au等のペースト状導体のスクリーン印刷し、厚膜からなる下部電極を設け、その後加熱して乾燥する。

【0016】ステップEで、下部電極を覆うように、高誘電率のペースト状誘電体をスクリーン印刷して、誘電体層（層厚は $50\text{ }\mu\text{m}$ ～ $100\text{ }\mu\text{m}$ ）を設け、その後加熱して乾燥する。

【0017】ステップFで、誘電体層の上面に欲する形状、面積のAg、Ag・Pd、Au等のペースト状導体のスクリーン印刷し、厚膜からなる上部電極を設け、その後加熱して乾燥する。

【0018】一方、ステップA、B、Cを経てビア及び内層パターンを有する他の所望枚数のグリーンシートを設け、ステップGで、この所望数のグリーンシートを前述の下部電極、誘電体層、上部電極を有するグリーンシート状に重ね積層する。

【0019】ステップHで、積層されたグリーンシートを約80℃に加熱しつつ加圧（ $200\text{ }~\sim 300\text{ Kg/cm}^2$ ）する。ステップIで800℃～1000℃に加熱して焼成する。

【0020】ステップJで、表面必要に応じて裏面に、導体パターンをスクリーン印刷し、ステップKで焼成することで、所望のコンデンサ内蔵配線板が完成する。

【0021】

【発明が解決しようとする課題】ところでコンデンサ内蔵配線板は、グリーンシートの形成時（乾燥前）の厚さのばらつき、誘電体層の印刷時の厚さのばらつき、及びグリーンシート及び誘電体層の焼成時の収縮量のばらつきにより、焼成後はグリーンシート及び誘電体層の厚さは、期待値に対して±30%程度のばらつきがある。

【0022】また、コンデンサ内蔵配線板は下部電極及び上部電極をセラミック積層配線基板の内部に設けたものであるから、電極をトリーミングして面積を調整することができない。

【0023】したがって、従来のコンデンサ内蔵配線板は、コンデンサの容量のばらつきが大きいという問題点があった。本発明はこのような点に鑑みて創作されたもので、容量偏差が小さい内蔵コンデンサを備えたコンデンサ内蔵配線板を提供することを目的としている。

【0024】

【課題を解決するための手段】上記の目的を達成するために本発明は、図1に例示したように、セラミック積層配線基板の第1のセラミックシート1-1の上面に形成された下部電極10と、下部電極10の上面に形成された誘電体層30と、誘電体層30の上面に形成された面積が下部電極10の面積よりも小さい主電極20と、誘電体層30の上面に主電極20に並列して形成された、面積が主電極20の面積よりも一定比率で順次小さい複数の第1、第2、第3……の副電極21、22、23、……とを備える。

【0025】また、ビア10-1を介して下部電極10に接続するよう、最上層のセラミックシート1-nの上面に形成された下部電極対応パターン15と、他のビア20-1を介して主電極20に接続するよう最上層のセラミックシート1-nの上面に形成された主電極対応パッド20-2と、異なるビアを介してそれぞれの第1、第2、第3、……の副電極21、22、23……に接続するよう、最上層のセラミックシート1-nの上面に配列形成された複数の第1、第2、第3……の副電極対応パッド21-2、22-2、23-2、……

と、最上層のセラミックシート1-nの上面に形成された、上部電極対応パターン25とを備える。

【0026】上部電極対応パターン25は、主電極対応パッド20-2及び第1，第2，第3，…の副電極対応パッド21-2,22-2,23-2,…の中から選択された1つ又は複数のパッドに、ボンディングワイヤ8を介して接続されるものである構成とする。

【0027】或いは、誘電体層が、セラミックシートの誘電率よりも高い誘電率の誘電体材料からなる構成とする。或いは図4に例示したように、誘電体層が、膜厚の異なる第1の誘電体層31と第2の誘電体層32とに分離され、第1の誘電体層31の上面に主電極20が形成され、第2の誘電体層32の上面に、複数の第1，第2，第3，…の副電極21,22,23,…が並列して形成された構成とする。

【0028】或いはまた、誘電体層が、誘電率が異なる第1の誘電体層31と第2の誘電体層32とに分離されてなり、第1の誘電体層31の上面に主電極20が形成され、第2の誘電体層32の上面に複数の第1，第2，第3，…の副電極21,22,23,…が並列して形成された構成とする。

【0029】図5に例示したように、下部電極10の上面に誘電体層が無く、主電極20及び主電極の面積よりも一定比率で面積が小さい複数の第1，第2，…の副電極21,22,…が、セラミック積層配線基板の第2のセラミックシート1-2の上面に形成された構成とする。

【0030】図6に例示したように、第1のセラミックシート1-1の上面または誘電体層30の上面に形成された複数の主電極20A,20Bと、それぞれの主電極20A,20Bに対向して、誘電体層30の上面又は第1のセラミックシートの上面に形成された、面積が一定比率で順次小さい複数の第1，第2，…の副電極21A,21B,22A,22B,…とを備える。

【0031】ピアを介してそれぞれの主電極20A,20Bに接続するよう、最上層のセラミックシート1-nの上面に形成された主電極対応パターン20-2A,20-2Bと、ピアを介してそれぞれの第1，第2，…の副電極21A,21B,22A,22B,…に接続するよう、最上層のセラミックシート1-nの上面に配列形成された複数の第1，第2，…の副電極対応パッド21-2A,21-2B,22-2A,22-2B,…と、最上層のセラミックシート1-nの上面に形成された複数の副電極対応パターン25A,25Bとを備える。

【0032】そして、副電極対応パッドの中から選択された1つ又は複数のパッドにボンディングワイヤを介して接続されるものとする。

【0033】

【作用】本発明の主電極の面積は、誘電体層又は第2のセラミックシートの収縮量が期待値に一致している場合に、所定の容量のコンデンサが得られる面積とする。

【0034】そして、本発明は、セラミック積層配線基板の第1のセラミックシートの上面に下部電極を有し、誘電体層又は第2のセラミックシートを挟んで下部電極に対応して、面積が下部電極の面積よりも小さい主電極と、面積が主電極の面積よりも小さく且つ一定比率で順次小さくなる複数の副電極とが形成されている。

【0035】したがって、焼成後の誘電体層又は第2のセラミックシートの厚さのばらつきが大きくても、主電極及び副電極の中から1つ又は複数の電極を選択して上部電極対応パターンに接続して、上部電極として採用することで、設計時に期待した容量に等しいか、その値に近い容量のコンデンサを備えたコンデンサ内蔵配線板が得られる。

【0036】なお、誘電体層を高誘電率の誘電体材料とすることで、大容量のコンデンサを備えたコンデンサ内蔵配線板が得られる。一方、誘電体層が、それぞれの誘電率が異なるか、厚さが異なる第1，第2の誘電体層に分離し、副電極を設ける第2の誘電体層の誘電率を第1の誘電体層の誘電率より小さくするか、第2の誘電体層の膜厚を厚くすることで、コンデンサの容量の微細調整が可能となる。

【0037】また、副電極を設ける第2の誘電体層の誘電率を第1の誘電体層の誘電率より大きくするか、第2の誘電体層の膜厚を薄くすることで、コンデンサの容量の調整範囲が広くなる。

【0038】請求項6の発明によれば、複数の異なる所望容量のコンデンサが得られる。

【0039】

【実施例】以下図を参照しながら、本発明を具体的に説明する。なお、全図を通じて同一符号は同一対象物を示す。

【0040】図1は本発明の原理を示す図、図2はコンデンサの平面図、図3は配線板の平面図である。図4は発明の他の実施例の断面図、図5は請求項5の発明の実施例の図、図6は請求項6の発明の実施例の図で、(A)は断面図、(B)は平面図である。

【0041】図において、1-1、1-2,1-nは、コンデンサ内蔵配線板を構成するセラミック積層配線基板の、例えばアルミニウムとガラスとをほぼ等量に混合したセラミックシートである。

【0042】第1のセラミックシート1-1の上面に第2のセラミックシート1-2が、第2のセラミックシート1-2の上面に最上層のセラミックシート1-nが積層されてセラミック積層配線基板が構成されている。

【0043】上述のセラミック積層配線基板には、後述するコンデンサの他に所望のパターン回路が形成されている。本発明の誘電体層印刷型コンデンサを有するコンデンサ内蔵配線板は、図1～図3に図示したように、セラミック積層配線基板の第1のセラミックシート1-1の上面の所定の位置に、Ag、Ag-Pd、Au等の厚膜からなる

所望の寸法即ち主電極20の2倍以上大きい角形の下部電極10が形成されている。

【0044】30は、高誘電率の誘電体材料（例えば TiO_2 系セラミックス、 $BaTiO_3$ 系セラミックス）の厚膜からなる、下部電極10の上面を覆うように形成された誘電体層である。

【0045】20は、誘電体層30の一方の半面上に形成された主電極である。主電極20の面積は、誘電体層30の収縮量が期待値に一致している場合に、所定の容量のコンデンサが得られる面積である。

【0046】誘電体層30の他方の半面上には、第1の副電極21、第2の副電極22、第3の副電極23、第4の副電極（図示省略）が並列して形成されている。第1の副電極21の面積は、例えば主電極20の面積の40%であり、第2の副電極22の面積は主電極20の面積の30%であり、第3の副電極23の面積は主電極20の面積の20%であり、第4の副電極の面積は主電極20の面積の10%である。

【0047】一方、最上層のセラミックシート1-nの上面に下部電極対応パターン15が形成され、下部電極対応パターン15と下部電極10とはピア10-1を介して接続されている。

【0048】また、最上層のセラミックシート1-nの上面に、角片状の主電極対応パッド20-2が形成され、ピア20-1を介して主電極20に接続されている。最上層のセラミックシート1-nの上面に主電極20に並列して、それぞれが角片状の第1の副電極対応パッド21-2、第2の副電極対応パッド22-2、第3の副電極対応パッド23-2、第4の副電極対応パッド（図示省略）が形成され、それぞれのピア21-1, 22-1, 23-1, ……を介して対応する第1の副電極21、第2の副電極22、第3の副電極23、第4の副電極に接続されている。

【0049】さらに、最上層のセラミックシート1-nの上面に短冊型の上部電極対応パターン25が形成されている。上述のように構成されているので、焼成後の誘電体層30の厚さが期待値から外れていても、主電極20及び副電極の中から1つ又は複数の電極を選択して、それに対応する対応パッドを、上部電極対応パターン25にボンディングワイヤ8を介して接続することで、下表のように、設計時に期待した容量に等しいか、その値に近い容量のコンデンサが得られる。

【0050】

【表1】

誘電体層厚	接続パット	計算式	容量
0.7 d	1, 2 の副電極	$(0.4+0.3)S/0.7d$	$C = \epsilon \cdot S/d$
0.8 d	1, 2, 4 の副電極	$(0.4+0.3+0.1)S/0.8d$	
0.9 d	1, 2, 3 の副電極	$(0.4+0.3+0.2)S/0.9d$	
1.0 d	主電極	$1S / 1d$	
1.1 d	主, 4の副電極	$(1+0.1)S/1.1d$	
1.2 d	主, 3の副電極	$(1+0.2)S/1.2d$	
1.3 d	主, 2の副電極	$(1+0.3)S/1.3d$	
$d \cdots \text{誘電体層厚の期待値}$ $S \cdots \text{主電極の面積}$ $C \cdots \text{コンデンサの容量}$ $\epsilon \cdots \text{誘電体層の誘電率}$			

【0051】本発明の他の実施例を図4に示す。図4に図示したように、下部電極10の上面に形成する誘電体層

が、膜厚の異なる第1の誘電体層31と第2の誘電体層32とに分離され、膜厚が厚い第1の誘電体層31の上面に主

電極20が形成され、膜厚が薄い第2の誘電体層32の上面に、複数の第1, 第2, ……の副電極21, 22, ……が並列して形成されている。

【0052】最上層のセラミックシート1-nの上面に下部電極対応パターン15が形成され、下部電極対応パターン15と下部電極10とはビアを介して接続されている。また、最上層のセラミックシート1-nの上面に、主電極対応パッド20-2が形成され、ビアを介して主電極20に接続されている。

【0053】最上層のセラミックシート1-nの上面に主電極20に並列して、それぞれが角片状の第1の副電極対応パッド21-2, 第2の副電極対応パッド22-2, ……が形成され、それぞれビアを介して対応する第1, 第2, ……の副電極21, 22, ……に接続されている。

【0054】さらに、最上層のセラミックシート1-nの上面に短冊型の上部電極対応パターン25が形成されている。一方、第1の誘電体層31と第2の誘電体層32の膜厚が等しくて、第1の誘電体層31の誘電率と第2の誘電体層32の誘電率とが異なる構成とする。

【0055】或いは、第1の誘電体層31と第2の誘電体層32の膜厚が異なり、第1の誘電体層31の誘電率と第2の誘電体層32の誘電率とが異なる構成とする。第2の誘電体層の誘電率を第1の誘電体層の誘電率より小さくするか、第2の誘電体層の膜厚を厚くすることで、コンデンサの容量の微細調整が可能となる。

【0056】また、第2の誘電体層の誘電率を第1の誘電体層の誘電率より大きくするか、第2の誘電体層の膜厚を薄くすることで、コンデンサの容量の調整範囲が広くなる。

【0057】図5に本発明のグリーンシート型コンデンサの実施例を示す。セラミック積層配線基板の第1のセラミックシート1-1の上面の所定の位置に、主電極20の2倍以上大きい角形の下部電極10が形成されている。

【0058】第2のセラミックシート1-2の上面に、下部電極10に対向して所定の面積の角形の主電極20が形成され、さらに下部電極10に対向し主電極20に並列して、面積が主電極20の面積より一定比率で順次小さい第1, 第2, ……の副電極21, 22, ……が形成されている。

【0059】最上層のセラミックシート1-nの上面に下部電極対応パターン15が形成され、下部電極対応パターン15と下部電極10とはビアを介して接続されている。また、最上層のセラミックシート1-nの上面に、角片状の主電極対応パッド20-2が形成され、ビアを介して主電極20に接続されている。

【0060】最上層のセラミックシート1-nの上面に主電極20に並列して、それぞれが角片状の第1, 第2, ……の副電極対応パッド21-2, 22-2, ……が形成され、それぞれビアを介して対応する第1, 第2, ……の副電極21, 22, ……に接続されている。

【0061】さらに、最上層のセラミックシート1-nの

上面に短冊型の上部電極対応パターン25が形成されている。上述のように形成されたグリーンシート型コンデンサを備えたコンデンサ内蔵配線板は、主電極及び副電極の中から1つ又は複数の電極を選択して上部電極対応パターンに接続して、上部電極として採用することで、設計時に期待した容量に等しいか、その値に近い容量のコンデンサを有することができる。

【0062】本発明のコンデンサ内蔵配線板の他の実施例を図6に示す。図6に例示したように、第1のセラミックシート1-1の上面に複数の主電極20A, 20Bとが形成されている。この2つの主電極は面積が等しくても良く、また面積が異なっていても良い。

【0063】それぞれの主電極20A, 20Bに対向して、誘電体層30の上面に、面積が一定比率で順次小さい複数の第1, 第2, ……の副電極21A, 21B, 22A, 22B, ……が形成されている。

【0064】ビアを介してそれぞれの主電極20A, 20Bに接続するよう、最上層のセラミックシート1-nの上面に主電極対応パターン20-2A, 20-2Bが形成されている。

また、他のビアを介してそれぞれの第1, 第2, ……の副電極21A, 21B, 22A, 22B, ……に接続された複数の第1, 第2, ……の副電極対応パッド21-2A, 21-2B, 22-2A, 22-2B, ……が、最上層のセラミックシート1-nの上面に配列形成されている。

【0065】さらに、最上層のセラミックシート1-nの上面に、複数の副電極対応パターン25A, 25Bが形成されている。そして、副電極対応パターン25A, 25Bは、副電極対応パッドの中から選択された1つ又は複数のパッドにボンディングワイヤを介して接続されている。

【0066】なお、図6では、2つの主電極20A, 20Bを第1のセラミックシート1-1の上面に並列して形成しているが、一方の主電極20Bを誘電体層30の上面に形成し、これに対応する第1, 第2, ……の副電極21B, 22B, ……を第1のセラミックシート1-1の上面に設けても良い。

【0067】上述のように構成されたコンデンサ内蔵配線板は、容量が異なり、且つ容量が高精度の内蔵コンデンサを設けることができるという効果を有する。

【0068】

【発明の効果】以上説明したように構成されているので本発明のコンデンサ内蔵配線板は次のような効果を有する。

【0069】セラミック積層配線基板の第1のセラミックシートの上面に下部電極を有し、誘電体層又は第2のセラミックシートを挟んで下部電極に対応して、面積が下部電極の面積よりも小さい主電極と、面積が主電極の面積よりも小さく且つ一定比率で順次小さくなる複数の副電極とが形成されているので、焼成後の誘電体層等厚さのばらつきが大きくても、主電極及び副電極の中から1つ又は複数の電極を選択して上部電極対応パターンに

接続し上部電極として採用することで、設計時に期待した容量に等しいか、その値に近い容量の容量偏差が小さい内蔵コンデンサが得られる。

【0070】また、誘電体層を高誘電率の誘電体材料とすることで、大容量で、且つ容量が高精度の内蔵コンデンサが得られる。また、誘電体層を第1、第2の誘電体層に分離し、副電極を設ける第2の誘電体層の誘電率を第1の誘電体層の誘電率より小さくするか、第2の誘電体層の膜厚を厚くすることで、コンデンサ容量の微細調整が可能となる。

【0071】また、副電極を設ける第2の誘電体層の誘電率を第1の誘電体層の誘電率より大きくするか、第2の誘電体層の膜厚を薄くすることで、コンデンサ容量の調整範囲が広くなる。

【0072】グリーンシート型コンデンサを備えた本発明のコンデンサ内蔵配線板は、コンデンサの容量が比較的小さいものに適用して、容量偏差が小さい内蔵コンデンサが得られる。

【0073】複数の主電極とそれぞれの主電極に対向する複数の副電極を有するコンデンサ内蔵配線板は、容量が異なり、且つ容量が高精度の複数の内蔵コンデンサを容易に設けることができる。

【図面の簡単な説明】

【図1】本発明の原理を示す図である。

【図2】コンデンサの平面図である。

【図3】配線板の平面図である。

【図4】本発明の他の実施例の断面図である。

【図5】請求項5の発明の実施例の図である。

【図6】請求項6の発明の実施例の図で、(A)は断面

図、(B)は平面図である。

【図7】従来のコンデンサ内蔵配線板の断面図である。

【図8】他の従来例の図で、(A)は断面図、(B)はコンデンサの平面図である。

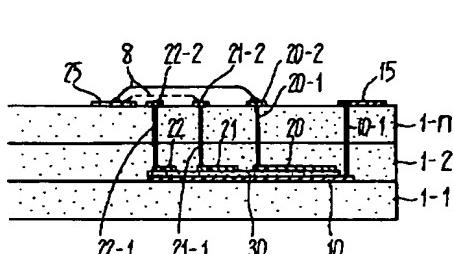
【図9】コンデンサ内蔵配線板の製造工程図である。

【符号の説明】

- | | |
|-------------|--------------|
| 1-1 | 第1のセラミックシート |
| 1-2 | 第2のセラミックシート |
| 1-3 | 第3のセラミックシート |
| 1-n | 最上層のセラミックシート |
| 10 | 下部電極 |
| 3-1,4-1,10 | 下部電極 |
| 3-2,4-2 | 上部電極 |
| 5, 30 | 誘電体層 |
| 8 | ボンディングワイヤ |
| 15 | 下部電極対応パターン |
| 20,20A,20B | 主電極 |
| 20-2A,20-2B | 主電極対応パターン |
| 21,21A,21B | 第1の副電極 |
| 22,22A,22B | 第2の副電極 |
| 23,23A,23B | 第3の副電極 |
| 21-2 | 第1の副電極対応パッド |
| 22-2 | 第2の副電極対応パッド |
| 23-2 | 第3の副電極対応パッド |
| 25 | 上部電極対応パターン |
| 25A,25B | 副電極対応パターン |
| 30 | 誘電体層 |
| 31 | 第1の誘電体層 |
| 32 | 第2の誘電体層 |

【図1】

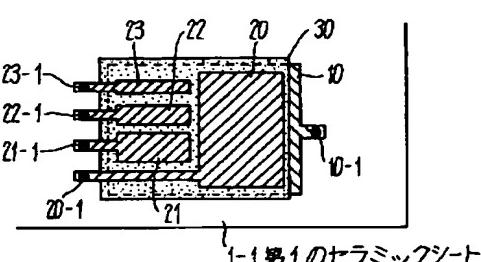
本発明の原理を示す図



- 1-1 第1のセラミックシート
- 1-2 第2のセラミックシート
- 1-n 最上層のセラミックシート
- 10 下部電極
- 20 主電極
- 21 第1の副電極
- 22 第2の副電極
- 23 第3の副電極
- 8 ボンディングワイヤ
- 30 誘電体層

【図2】

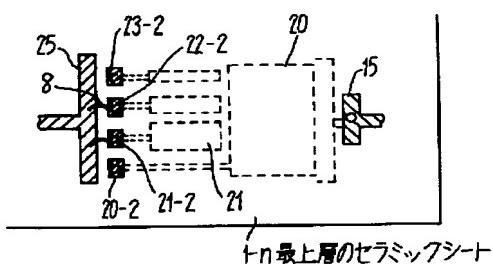
コンデンサの平面図



1-1 第1のセラミックシート

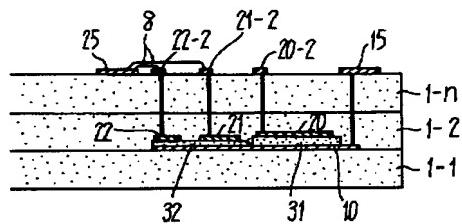
【図3】

配線板の平面図



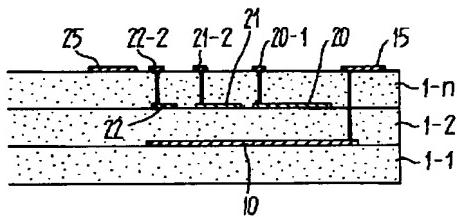
【図4】

本発明の他の実施例の断面図



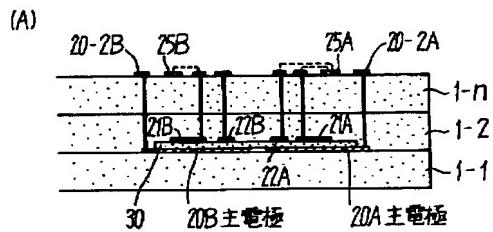
【図5】

請求項5の発明の実施例の図



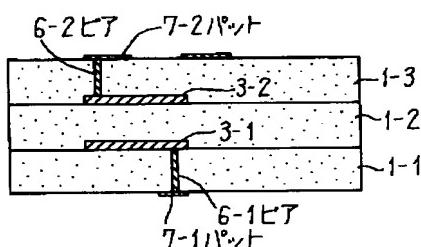
【図6】

請求項6の発明の実施例の図

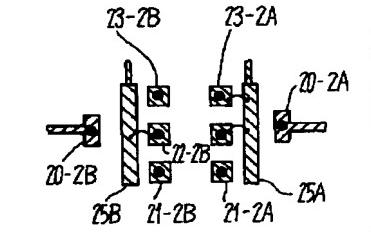


【図7】

従来のコンデンサ内蔵配線基板の断面図



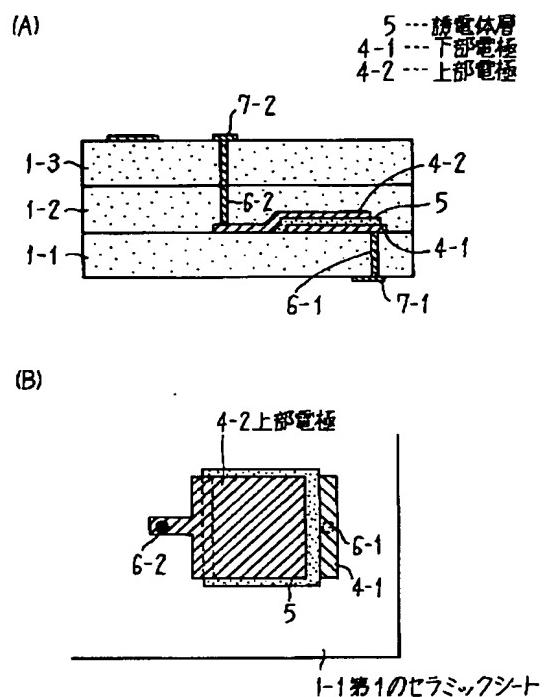
(B)



1-1---第1のセラミックシート
 1-2---第2のセラミックシート
 1-3---第3のセラミックシート
 3-1---下部電極
 3-2---上部電極

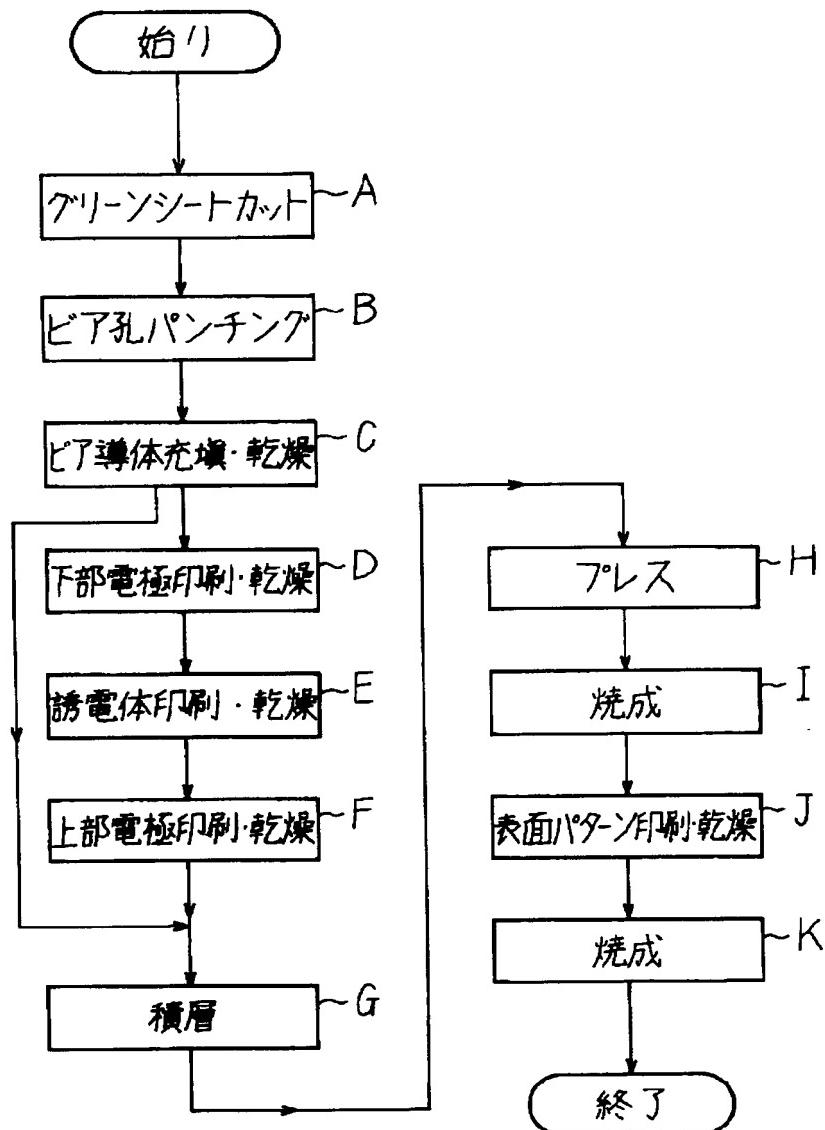
【図8】

他の従来例の図



【図9】

コンデンサ内蔵配線基板の製造工程図



フロントページの続き

(51) Int.C1.⁶

H 0 5 K 1/16

識別記号 庁内整理番号

D 7726-4E

F I

技術表示箇所

(72)発明者 安陪 光紀

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 中島 奈々

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内